

(19)



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **02085934 A**(43) Date of publication of application: **27.03.90**

(51) Int. Cl. **G06F 11/22**  
**G06F 9/455**  
**G06F 11/28**

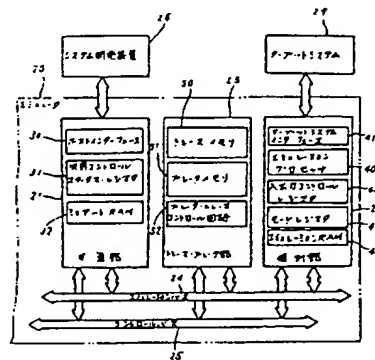
(21) Application number: **63236449**(22) Date of filing: **22.09.88**(71) Applicant: **HITACHI MICRO COMPUT ENG LTD**(72) Inventor: **WATANABE MASAMITSU  
SUZUKI TATSUYA**(54) **EMULATOR**

COPYRIGHT: (C)1990,JPO&amp;Japio

(57) Abstract:

**PURPOSE:** To easily obtain the emulators to various target processors with exchange of an individual part and at the same time to attain the universal applicability of a common part by separating physically the common part from the individual part.

**CONSTITUTION:** A common part 21 includes a logic having no dependence on the constitution of a target processor and a register which controls the logic. While an individual part 22 includes a logic dependent on the target processor and a register which controls this processor. These two parts 21 and 22 are physically separated from each other via a board or a chip. Then both parts 21 and 22 are connected to each other via an emulation bus 24 and a control bus 25. Thus, it is possible to easily obtain the emulators to various target processors just with exchange of the part 22. Furthermore the universal applicability is attained for the part 21 regardless of the types of target processors. As a result, the part 21 is effectively used and the cost of the emulator can be reduced.



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平2-85934

⑬ Int. Cl.<sup>1</sup>

G 06 F 11/22  
9/455  
11/28

識別記号

3 4 0 A

庁内整理番号

7368-5B

⑭ 公開 平成2年(1990)3月27日

L

7343-5B  
8724-5B

G 06 F 9/44 3 1 0 F

審査請求 未請求 請求項の数 5 (全10頁)

⑮ 発明の名称 エミュレータ

⑯ 特 願 昭63-236449

⑰ 出 願 昭63(1988)9月22日

⑱ 発 明 者 渡 辺 政 光 東京都小平市上水本町1479番地 日立マイクロコンピュー  
タエンジニアリング株式会社内

⑲ 発 明 者 鈴 木 達 也 東京都小平市上水本町1479番地 日立マイクロコンピュー  
タエンジニアリング株式会社内

⑳ 出 願 人 日立マイクロコンピュ  
ータエンジニアリング  
株式会社  
東京都小平市上水本町1479番地

㉑ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

1. 発明の名称

エミュレータ

2. 特許請求の範囲

1. ターゲットシステムの代行制御を行いながらシステムデバッグを行うためのエミュレータにおいて、上記ターゲットシステムのためのターゲットマイクロプロセッサの構成に依存しない論理とその論理を制御するためのレジスタを含み、システム開発装置とインタフェースされる共通部と、上記ターゲットプロセッサの構成に依存する論理とその論理を制御するためのレジスタを含み、ターゲットシステムとインタフェースされる個別部とを、物理的に分離可能に設け、両者をバスで結合して成るエミュレータ。

2. 上記共通部及び個別部は、夫々ボード又はチップで独立的に構成された請求項1記載のエミュレータ。

3. 上記共通部又は個別部は、ブレーク条件設定手段とエミュレーションメモリを含むものであ

る請求項2記載のエミュレータ。

4. ボード又はチップで独立的に構成されたトレース・ブレーク部を上記バスに結合して成る請求項3記載のエミュレータ。

5. ボード又はチップで独立的に構成されたエミュレーションメモリ部を上記バスに結合して成る請求項4記載のエミュレータ。

3. 発明の詳細な説明

(産業上の利用分野)

本発明はエミュレータさらにはエミュレータの汎用化技術に関し、例えば異なるターゲットプロセッサへの対応化に適用して有効な技術に関するものである。

(従来技術)

マイクロコンピュータ応用機器(以下単にターゲットシステムとも記す)の開発において、そのシステムデバッグやシステム評価を行うためのエミュレータは、ターゲットシステムのためのマイクロコンピュータもしくはマイクロプロセッサ(ターゲットプロセッサ)の機能を代行しながらソフ

トウェアデバッグを可能とするものである。

エミュレータは、ターゲットプロセッサと同等のマイクロコンピュータやプロセッサ（エミュレーションプロセッサ）をターゲットシステムとのインタフェース部に備え、このターゲットプロセッサにソフトウェアデバッグ対象とされるプログラムを実行させてターゲットシステムを代行制御する。このとき、デバッグ対象プログラムの内容を任意に変更したりして、その制御状態をトレースし、所定のブレークポイントでそのトレース結果を確認可能にしながらターゲットシステムのソフトウェアデバッグを支援する。

第3図には従来のエミュレータの一例が示される。第3図に示されるエミュレータは、特に制限されないが、インタフェースケーブル2の中間に配置したエミュレーションボッド3に、図示しないターゲットプロセッサと同等のエミュレーションプロセッサ4を備え、そのインタフェースケーブル2の先端部は、実機もしくは試作機としてのターゲットシステム7に含まれるターゲットプロ

セッサ用ソケットに結合可能にされている。このエミュレーションプロセッサ4は、特に制限されないが、図示しないターゲットプロセッサの論理を所望に追加変更してエミュレータ本体6と信号をやりとりしながらターゲットシステム7を代行制御可能に構成されている。

エミュレータ本体6にはターゲットシステム7とエミュレーションプロセッサ4とがやりとりする情報やエミュレーションプロセッサ4の内部状態に応ずる情報がインタフェースケーブル2を介してエミュレーションバス10に与えられ、また、このエミュレーションバス10を介してエミュレーションのための各種制御信号や情報がエミュレーションプロセッサ4に与えられるようになってい

る。エミュレーションバス10には、ターゲットシステム7におけるデータメモリやプログラムメモリを代行するためのRAMで成るエミュレーションメモリ11と、エミュレーションプロセッサ4の制御状態やエミュレーションバス10の状態を

監視してその状態が予め設定されている状態に到達したときにエミュレーション動作をブレークするためのブレークコントロール回路12と、エミュレーションバス10に与えられるデータやアドレスさらには制御情報を逐次トレースして蓄えるトレース回路13などが夫々結合される。上記エミュレーションメモリ11、ブレークコントロール回路12、及びトレース回路13は、コントロールバス15を通じてコントロールプロセッサ16の制御を受けるようになっている。上記コントロールバス15は、ホストインタフェース回路17を介してシステム開発装置18と接続される。

なお、エミュレータについて記載された文献の例としては1987年6月に日経マグローウヒル社発行の「日経データプロマイコン」MC2-310-001~012のマイコン開発用システムがある。

（発明が解決しようとする課題）

ところでエミュレータによるシステムデバッグに際して必要な各種条件やエミュレーション動作

の起動、停止さらにはデバッグ対象プログラムなどはシステム開発装置側から与えられ、これによって与えられた条件やプログラムに従ってターゲットシステムのエミュレーションが行われる。そしてターゲットシステムを代行制御するエミュレーションプロセッサはターゲットプロセッサと同等の制御機能を有することが必要とされる。したがって、エミュレータにはターゲットプロセッサの構成に依存する論理と依存しない論理が共存している。例えば上記依存しない論理としてはエミュレーション動作の開始や停止をシステム開発装置の指示に基づいて制御するコントロールレジスタや、エミュレーションプロセッサの動作を1ステップずつ実行させたり連続的に複数のステップを実行させたりするための指示を与える論理などがある。また、ターゲットプロセッサの構成に依存する論理は当該ターゲットプロセッサを代替するエミュレーションプロセッサの論理やそれに密接に関係する論理などである。

しかしながら、従来のエミュレータはターゲッ

トプロセッサの構成に依存する論理と依存しない論理を物理的に区別せずに構成され、ブレイクコントロール回路やエミュレーションメモリさらにはトレース回路などがエミュレータ本体内に混在されているため、ターゲットプロセッサの種類が変わればエミュレータ本体も全て交換しなければならず、これによって、ターゲットプロセッサに依存しない論理構成の有効利用を図ることができず、さらには各種ターゲットプロセッサのためのエミュレータを容易に実現し難いという問題が本発明者によって明らかにされた。

本発明の目的は、ターゲットプロセッサの異なる各種ターゲットシステムに対するエミュレーションへの対応が容易で、しかもこのときに内部回路の有効利用もしくは汎用化を図ることができるエミュレータを提供することにある。

本発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述及び添付図面から明らかになるであろう。

〔課題を解決するための手段〕

上記した手段によれば、共通部と個別部が物理的に分離されていることにより、個別部の交換によって各種ターゲットプロセッサに対応するエミュレータを容易に実現すると共に、共通部の汎用化を達成するものである。

〔実施例 1〕

第1図には本発明の一実施例であるエミュレータが示される。

第1図に示されるエミュレータ20は、特に制限されないが、夫々物理的に分離されたボード又はチップにより構成された共通部21、個別部22、及びトレース・ブレイク部23を含み、それらはエミュレーションバス24とコントロールバス25により夫々結合されている。上記共通部21はシステム開発装置26にインタフェースされ、また、上記個別部22はシステムデバッグ対象とされるターゲットシステム27とインタフェースされる。

上記共通部21はターゲットシステム27のための図示しないターゲットプロセッサの構成に依

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

すなわち、ターゲットプロセッサの構成に依存しない論理を含み、システム開発装置とインタフェースされる共通部と、ターゲットプロセッサの構成に依存する論理を含み、ターゲットシステムとインタフェースされる個別部とを、物理的に分離可能に例えばボード又はチップで個別的に構成し、両者をバスで結合してエミュレータを構成するものである。

上記共通部又は個別部に、ブレイク条件設定手段とエミュレーションメモリを含めることにより、その共通部及び個別部だけでもエミュレーションが可能になる。そしてこのようなエミュレータの機能拡張に当っては、ボード又はチップで独立に構成されたトレース・ブレイク部を上記バスに結合したり、さらには、ボード又はチップで独立に構成されたエミュレーションメモリ部を上記バスに結合するとよい。

〔作 用〕

存しない論理とその論理を制御するためのレジスタを含み、上記個別部22は上記図示しないターゲットプロセッサの構成に依存する論理とその論理を制御するためのレジスタを含む。ここで、図示しないターゲットプロセッサの構成に依存しない論理と依存する論理の区別は絶対的に規定されるものではなく、各種ターゲットプロセッサに対して共通部21を共通利用するという観点から個別的に決定される。この場合に共通部21に含まれる論理構成を増やすようにしておけば、ターゲットプロセッサ27の種類に応じて交換されるべき個別部22の論理規模を小さくすることができる。

第1図に示される例において上記共通部21には、特に制限されないが、ホストインタフェース30、汎用ステータス・コントロールレジスタ31、及びシェアドRAM（ランダム・アクセス・メモリ）32が含まれる。

ホストインタフェース30はシステム開発装置26に含まれる図示しないホストプロセッサなど

とデータやアドレス信号さらには各種制御情報をやりとりする。

上記汎用ステータス・コントロールレジスタ31には、特に制限されないが、エミュレーションの起動や停止を指示するためのコントロールレジスタ、上記トレース・ブレーク部23によるブレークポイント制御の可否を決定するためのコントロールレジスタ、さらにはブレーク要因判定ビットを有するステータスレジスタなどが含まれる。この汎用ステータス・コントロールレジスタ31に対する制御データや状態の設定はシステム開発装置26により行われ、設定された情報はコントロールバス25を介してトレース・ブレーク部23や個別部22に与えられる。

上記シェアードRAM32はシステム開発装置26に含まれるホストプロセッサ及び個別部22に含まれるエミュレーションプロセッサ40の双方からアクセス可能な共有メモリとされる。このシェアードRAM32には、特に制限されないが、システムデバッグ対象とされるユーザプログラム

のローディング命令、個別部22によるエミュレーション動作の起動やリスタートに当って個別部22の内部を制御するための命令などが格納される。

上記個別部22には、特に制限されないが、ターゲットシステムインタフェース41、エミュレーションプロセッサ40、入出力コントロールレジスタ42、モードレジスタ43、エミュレーションRAM44が含まれる。

エミュレーションプロセッサ40はターゲットシステム27のためのターゲットプロセッサと同等の制御機能を有し、当該ターゲットプロセッサに代わってターゲットシステム27を制御するプロセッサである。入出力コントロールレジスタ42は、特に制限されないが、ASIC（アプリケーション・スペシフィック・インテグレートッド・サーキット）展開された各種ターゲットプロセッサの外部端子の配置や機能の相違を吸収するためのものである。上記モードレジスタ43はエミュレーションプロセッサ40の動作クロックの選択、

さらにはウェイト要求やバス権限放要求を行うための制御ビットを有している。上記エミュレーションRAM44はターゲットシステム27におけるデータメモリやプログラムメモリを代行するためのメモリとされ、ターゲットシステム27のアドレス空間に応じて任意にマッピングされる。

上記トレース・ブレーク部23は、エミュレーションに際してターゲットシステム27とエミュレーションプロセッサ40との間でやりとりされるデータやアドレスさらには制御情報を逐次トレースして蓄えるトレースメモリ50と、エミュレーションプロセッサ40の制御状態やターゲットシステム27とエミュレーションプロセッサ40との間でやりとりされる各種情報を監視してその状態が予め設定されている状態に到達したときにエミュレーション動作をブレークするための条件が任意に設定されるブレークメモリ51と、このブレークメモリ51に設定されたブレーク条件に基づいてブレークポイント制御を行ったり、上記トレースメモリ50に対するトレース開始条件な

どを制御するブレーク・トレースコントロール回路52を含む。

上記コントロールバス25を介してやりとりされる信号は、特に制限されないが、個別部22及びトレース・ブレーク部23に含まれる各種レジスタの選択信号、システム開発装置26に含まれるホストプロセッサから出力されるアドレス信号並びにデータとそれらのストロブ信号、さらにはブレーク検出信号やアポート信号などとされる。また、上記エミュレーションバス24を介してやりとりされる信号は、特に制限されないが、ターゲットシステム27とエミュレーションプロセッサ40との間でやりとりされる各種信号や外部プロープの入力信号、さらにはエミュレーションプロセッサ40によるシェアードRAM32のアクセス信号などとされる。

このように構成されたエミュレータ20は、システム開発装置26に含まれるホストプロセッサの指示に基づいてエミュレーションプロセッサ40によるエミュレーション動作が指示されると、

このエミュレーションプロセッサ40がターゲットシステム27を代行制御し、この代行制御途上で得られる各種情報がトレースメモリ23に蓄えられ、所定のブレークポイントでそのトレース結果を確認可能にしながらターゲットシステム27のソフトウェアデバッグを支援する。

本実施例のエミュレータ20によれば、ターゲットプロセッサの構成に依存しない論理やそれを制御するためのレジスタを含む共通部21と、ターゲットプロセッサの構成に依存する論理やそれを制御するためのレジスタを含む個別部22がボード又はチップで物理的に分離され、両者はエミュレーションバス24及びコントロールバス25で結合されることにより、個別部22を交換するだけで各種ターゲットプロセッサに対応するエミュレータを容易に実現することができる。しかもこのとき共通部21はターゲットプロセッサの種類に拘らず汎用化され、当該共通部21を有効利用することができ、これによってエミュレータのコスト低減も可能になる。

ルロジックボード62は上記図示しないターゲットプロセッサの構成に依存する論理とその論理を制御するためのレジスタを含む。ここで、図示しないターゲットプロセッサの構成に依存しない論理と依存する論理の区別は絶対的に規定されるものではなく、各種ターゲットプロセッサに対してコントロールボード61を共通利用するという観点から個別的に決定される。この場合にコントロールボード61に含まれる論理構成を増やすようにしておけば、ターゲットプロセッサ27の種類に応じて交換されるべきデバイスコントロールロジックボード62の論理規模を小さくすることができる。

第2図に示される例において上記コントロールボード61には、特に制限されないが、ホストインタフェース70、シェアドRAM71、並びに各種汎用ステータス・コントロールレジスタが含まれる。

ホストインタフェース70はシステム開発装置68に含まれる図示しないホストプロセッサなど

## 〔実施例2〕

第2図には本発明の他の実施例であるエミュレータが示される。

第2図に示されるエミュレータ60は、特に制限されないが、夫々物理的に分離されたボードにより構成されたコントロールボード61、デバイスコントロールロジックボード62、トレース・ブレークメモリボード63、エミュレーションRAMボード64、及びパフォーマンスボード65を含み、それらはエミュレーションバス66とコントロールバス67により夫々結合されている。上記コントロールボード61はシステム開発装置68にインタフェースされ、また、上記デバイスコントロールロジックボード62はシステムデバッグ対象とされるターゲットシステム69とインタフェースされる。

上記コントロールボード61はターゲットシステム69のための図示しないターゲットプロセッサの構成に依存しない論理とその論理を制御するためのレジスタを含み、上記デバイスコントロー

とデータやアドレス信号さらには各種制御情報をやりとりする。

上記シェアドRAM71はシステム開発装置68に含まれるホストプロセッサ及びデバイスコントロールロジックボード62に含まれるエミュレーションプロセッサ81の双方からアクセス可能な共有メモリとされる。このシェアドRAM71には、特に制限されないが、システムデバッグ対象とされるユーザプログラムのローディング命令、デバイスコントロールロジックボード62によるエミュレーション動作の起動やリスタートに当たってその内部を制御したりするための命令、さらにはエミュレーションプロセッサ81の動作を1ステップづつ実行させたり連続的に複数ステップを実行させたりするための指示を与える命令などが格納される。

上記汎用ステータス・コントロールレジスタは、特に制限されないが、エミュレーションの起動や停止を指示するためのエミュレーションコントロールレジスタ72、エミュレータ内部の記憶領域

に対するメモリバンクの切り分け設定を行うためのバンクレジスタ73、システム開発装置68に含まれる図示しないホストプロセッサによる上記シェアードRAM71のアクセスの可否を指示するためのシェアードRAMコントロールレジスタ74A、74B、シェアードRAMアドレスカウンタ75、図示しないホストプロセッサがエミュレーションバス66をモニタするためのモニタレジスタ76A、モニタコントロールレジスタ76B、モニタステータスレジスタ76C、エミュレーションの実行時間を計数するようなタイマ77、及び上記トレース・ブレイクメモリボード63がない場合にもコントロールボード70でプログラムアドレスのブレイク条件の設定を可能とするためのプログラムカウンタブレイクメモリ78によって構成される。これら汎用ステータス・コントロールレジスタに対する制御データや状態の設定はシステム開発装置68により行われ、設定された情報はコントロールバス67を介してトレース・ブレイクメモリボード63、デバイスコントロー

ルボード62、エミュレーションRAMボード64並びにパフォーマンスボード65に必要なに応じて与えられる。

上記デバイスコントロールレジスタ62には、ターゲットシステムインタフェース80、及びエミュレーションプロセッサ81を含む。このエミュレーションプロセッサ81は、ターゲットシステム69のためのターゲットプロセッサと同等の制御機能を有し、当該ターゲットプロセッサに代わってターゲットシステム69を制御するプロセッサである。

デバイスコントロールレジスタ62には、ターゲットシステム69におけるデータメモリやプログラムメモリを代行するためのエミュレーションRAM82が含まれ、このエミュレーションRAM82は、マップコントロールメモリ及びマップバ83によりターゲットシステム69のアドレス空間に応じて任意にマッピングされる。

さらにデバイスコントロールレジスタ62には、エミュレーションコントロールレジスタ

84、及びエミュレーションシェアードRAMコントロールレジスタ85A、85Bが含まれる。エミュレーションコントロールレジスタ84は、特に制限されないが、ASIC（アプリケーション・スペシフィック・インテグレイテッド・サーキット）展開された各種ターゲットプロセッサの外部端子の配置や機能の相違を吸収するための入出力制御ビットや、エミュレーションプロセッサ84の動作クロックの選択、さらにはウェイト要求やバス権限開放要求を行うための制御ビットを有している。エミュレーションシェアードRAMコントロールレジスタ85A、85Bは、エミュレーションプロセッサ81による上記シェアードRAM71のアクセスの可否を指示するための制御ビットを有する。

上記トレース・ブレイクメモリボード63は、上記コントロールボード16に含まれるモニタレジスタ76Aやプログラムカウンタブレイクメモリ78による機能では不十分な場合に必要に応じて選択的に利用され得る増設モジュールである。

このトレース・ブレイクメモリボード63には、エミュレーションに際してターゲットシステム69とエミュレーションプロセッサ81との間でやりとりされるデータやアドレスさらには制御情報を逐次トレースして書き込むトレースメモリ88と、エミュレーションプロセッサ81の制御状態やターゲットシステム69とエミュレーションプロセッサ81との間でやりとりされる各種情報を監視してその状態が予め設定されている状態に到達したときにエミュレーション動作をブレイクするためのプログラムアドレスなどの条件が任意に設定されるブレイクメモリ89と、このブレイクメモリ89に設定されたブレイク条件に基づいてブレイクポイント制御を行ったり、上記トレースメモリ88に対するトレース開始条件などを制御するその他の各種制御レジスタやステータスレジスタを含む。その他の制御レジスタやステータスレジスタとしては、図示しないホストプロセッサによるトレース・ブレイクメモリボード63内部のアクセスの可否を指示するためのアクセスコントロ

ールレジスタ90、複数のブレイク条件が連続したときにブレイクさせるような指示を与えるためのシーケンシャルレジスタ91、複数回ブレイク条件が成立したときにブレイクさせるような指示を与えるためのパルスカウンタレジスタ92、ブレイクメモリ89の設定の仕方を指示するためのブレイクコントロールレジスタ93、ブレイク内容を図示しないホストプロセッサによって確認可能とするためのブレイクステータスレジスタ94、トレースの開始や停止条件を設定するためのトレースカウンタ95及びトレースコントロールステータスレジスタ96、上記コントロールボード61に含まれるタイマ77に対する制御状態を示すタイマコントロールステータスレジスタ97が含まれる。

上記エミュレーションRAMボード64は、デバイスコントロールロジックボード62に含まれるエミュレーションRAM82による機能では不十分な場合に必要に応じて選択的に利用される増設モジュールであり、エミュレーションRAM

エミュレーションプロセッサ81によるシェアードRAM32のアクセス信号などとされる。

このように構成されたエミュレータ60は、システム開発装置68に含まれるホストプロセッサの指示に基づいてエミュレーションプロセッサ81によるエミュレーション動作が指示されると、このエミュレーションプロセッサ81がターゲットシステム69を代行制御し、この代行制御途中で得られる各種情報がトレースメモリ88に蓄えられ、所定のブレイクポイントでそのトレース結果を確認可能にしながらターゲットシステム69のソフトウェアデバッグを支援する。

本実施例のエミュレータ60によれば以下の作用効果を得るものである。

(1) ターゲットプロセッサの構成に依存しない論理やそれを制御するためのレジスタを含むコントロールボード61と、ターゲットプロセッサの構成に依存する論理やそれを制御するためのレジスタを含むデバイスコントロールロジックボード62がボードで物理的に分離され、両者はエミュ

レーションRAM82とマップコントロールメモリ及びマップ99を備える。上記パフォーマンスボード65は、コントロールボード61に含まれるタイマ77の機能では不十分な場合などに必要に応じて利用され得る増設モジュールであり、プログラムの実行時間をカウントしたりする機能を有する。

上記コントロールバス67を介してやりとりされる信号は、特に制限されないが、デバイスコントロールロジックボード62、並びにトレース・ブレイクメモリボード63、エミュレーションRAMボード64、パフォーマンスボード65に含まれる各種レジスタの選択信号、システム開発装置68に含まれるホストプロセッサから出力されるアドレス信号並びにデータとそれらのストロブ信号、さらにはブレイク検出信号やアポート信号などとされる。また、上記エミュレーションバス66を介してやりとりされる信号は、特に制限されないが、ターゲットシステム69とエミュレーションプロセッサ81との間でやりとりされる各種信号や外部プローブの入力信号、さらにはエ

ミュレーションバス66及びコントロールバス67で結合されることにより、デバイスコントロールロジックボード62を交換するだけで各種ターゲットプロセッサに対応するエミュレータを容易に実現することができる。しかもこのときコントロールボード61はターゲットプロセッサの種類に拘らず汎用化され、当該コントロールボード61を有効利用することができ、これによってエミュレータのコスト低減も可能になる。

(2) コントロールボード61は、プログラムカウンタブレイクメモリ78によるブレイクポイント制御と、モニタレジスタ76Aなどによるエミュレーション内容のモニタリングが可能にされ、また、デバイスコントロールロジックボード62はエミュレーションRAM82を含むから、共通部としてのコントロールボード61と個別部としてのデバイスコントロールロジックボード62だけでも一応のエミュレーションを行うことができる。

(3) コントロールボード61とデバイスコント



ロールロジックボード62によるエミュレーション機能だけでは不十分な場合には、ターゲットシステムの規模などに応じて必要なトレース・ブレイクメモリボード63、エミュレーションRAMボード64、パフォーマンスボード65を選択してエミュレータの規模を簡単に拡大することができる。

以上本発明者によってなされた発明を実施例に基づいて具体的に説明したが本発明はそれに限定されるものではなくその要旨を逸脱しない範囲において種々変更することができる。

実施例1における共通部21と個別部22に夫々含まれる制御論理と各種レジスタ、また、実施例2におけるコントロールボード61とデバイスコントロールロジックボード62に夫々含まれる制御論理と各種レジスタは、上記実施例に限定されず、適宜変更することができる。例えば実施例1のトレース・ブレイク部23は個別部22に含めてもよい。また、実施例2のエミュレータ60において、トレース・ブレイクメモリボード63、

エミュレーションRAMボード、パフォーマンスボード65は省くことができ、必要に応じて所要のボードを選択的に増設することができる。

また、共通部21やコントロールボード61にホストプロセッサを搭載しよく、またそれらをホストプロセッサ内部に構成してもよい。

また、実施例2で説明した各ボードはチップで形成することもできる。

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるインサーキットエミュレータに適用した場合について説明したが、エミュレーションを行い得る各種デバッグ装置に適用することができる。

#### 〔発明の効果〕

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

すなわち、ターゲットプロセッサの構成に依存しない論理を含み、システム開発装置とインタフェースされる共通部と、ターゲットプロセッサの

構成に依存する論理を含み、ターゲットシステムとインタフェースされる個別部とを、物理的に分離可能に例えばボード又はチップで個別的に構成し、両者をバスで結合してエミュレータを構成することにより、個別部の交換によって各種ターゲットプロセッサに対応するエミュレータを容易に実現することができると共に、共通部を汎用化することができるという効果がある。しかもこれにより、システムデバッグのためのソフトウェアも共通部に關しては概ね汎用化が可能になり、ハードウェアとソフトウェアの両面においてエミュレータのトータルコストを低減することができる。

また、共通部又は個別部に、ブレイク条件設定手段とエミュレーションメモリを含めることにより、その共通部及び個別部だけでもエミュレーションが可能になる。ボード又はチップで独立的に構成されたトレース・ブレイク部を上記バスに結合したり、さらには、ボード又はチップで独立的に構成されたエミュレーションメモリ部を上記バスに結合すると、ターゲットシステムの規模など

に応じたエミュレータの機能拡張を容易に行うことができる。

#### 4. 図面の簡単な説明

第1図は本発明の一実施例であるエミュレータのブロック図。

第2図は本発明の他の実施例であるエミュレータのブロック図。

第3図は従来のエミュレータの一例を示すブロック図である。

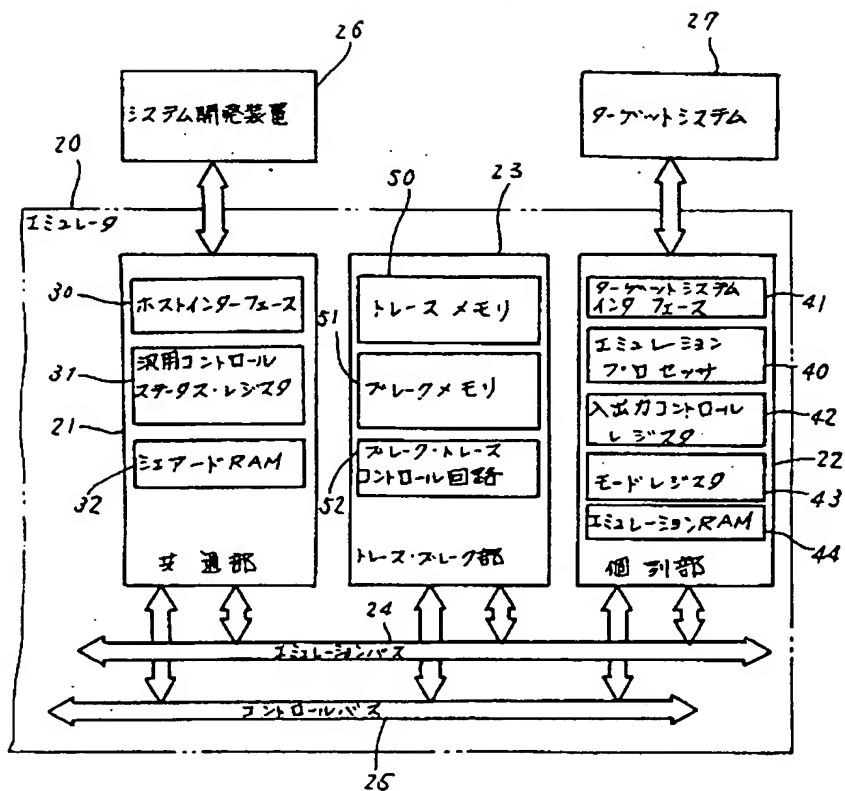
21…共通部、22…個別部、23…トレース・ブレイク部、24…エミュレーションバス、25…コントロールバス、26…システム開発装置、27ターゲットシステム、61…コントロールボード、62…デバイスコントロールロジックボード、63…トレース・ブレイクメモリ、64…エミュレーションRAMボード、65…パフォーマンスボード、66…エミュレーションバス、67…コントロールバス、68…システム開発装置、69…ターゲットシステム、67Aモニタレジスタ、78…プログラムカウンタブレイクメモリ、

82エミュレーションRAM、84…エミュレーションコントロールレジスタ。

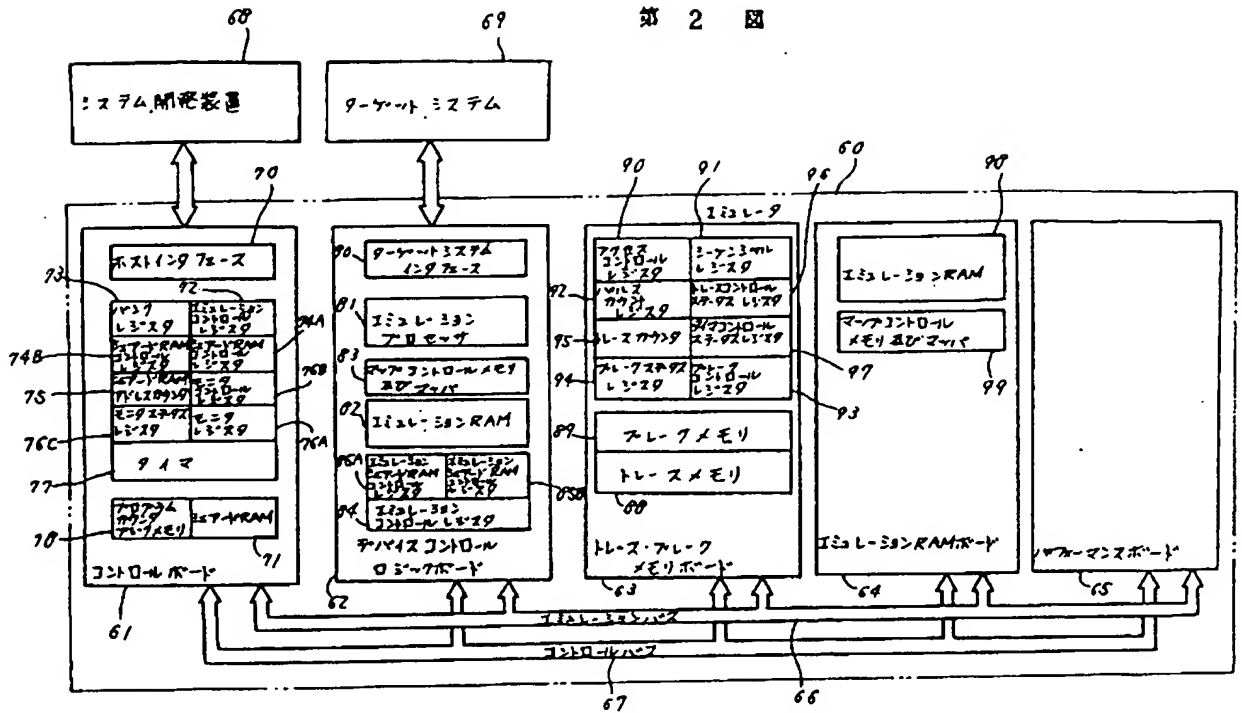
代理人 井理士 小川 勝男



第 1 図



第 2 図



第 3 図

